САНКТ-ПЕТЕРБУРГСКИЙ ПОЛИТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ

ПЕТРА ВЕЛИКОГО

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

Институт компьютерных наук и технологий

Высшая школа интеллектуальных систем и суперкомпьютерных технологий

Отчет

по заданию Verilog lab1

Дисциплина

«Технологии проектирования аппаратных средств компьютерных систем»

Выполнил:

Бараев Д.Р.

Группа: 3540901/02001

Преподаватель: А. П. Антонов

Санкт-Петербург

2020

Оглавление

[1 Упражнение 1\_1 5](#_Toc59806332)

[1.1 Задание 5](#_Toc59806333)

[1.2 Схема проекта 5](#_Toc59806334)

[1.3 Результат синтеза (RTL) 5](#_Toc59806335)

[1.4 Функциональное моделирование 6](#_Toc59806336)

[1.5 Назначение выводов СБИС 6](#_Toc59806337)

[1.6 Выводы 6](#_Toc59806338)

[2 Упражнение 1\_2 6](#_Toc59806339)

[2.1 Задание 6](#_Toc59806340)

[2.2 Схема проекта 7](#_Toc59806341)

[2.3 Результат синтеза (RTL) 7](#_Toc59806342)

[2.4 Функциональное моделирование 7](#_Toc59806343)

[2.5 Назначение выводов СБИС 8](#_Toc59806344)

[2.6 Выводы 8](#_Toc59806345)

[3 Упражнение 1\_3 8](#_Toc59806346)

[3.1 Задание 8](#_Toc59806347)

[3.2 Схема проекта 8](#_Toc59806348)

[3.3 Результат синтеза (RTL) 9](#_Toc59806349)

[3.4 Функциональное моделирование 9](#_Toc59806350)

[3.5 Назначение выводов СБИС 9](#_Toc59806351)

[3.6 Выводы 9](#_Toc59806352)

[4 Упражнение 1\_4 10](#_Toc59806353)

[4.1 Задание 10](#_Toc59806354)

[4.2 Результат синтеза (RTL) 10](#_Toc59806355)

[4.3 Функциональное моделирование 10](#_Toc59806356)

[4.4 Назначение выводов СБИС 10](#_Toc59806357)

[4.5 Выводы 10](#_Toc59806358)

[5 Упражнение 1\_5 11](#_Toc59806359)

[5.1 Задание 11](#_Toc59806360)

[5.2 Схема проекта 11](#_Toc59806361)

[5.3 Результаты синтеза 11](#_Toc59806362)

[5.4 Функциональное моделирование 11](#_Toc59806363)

[5.5 Назначение выводов СБИС 12](#_Toc59806364)

[5.6 Выводы 12](#_Toc59806365)

Список иллюстраций

[Рис. 1‑1 Структура проекта 5](#_Toc30355271)

[Рис. 1‑2 Схема проекта 5](#_Toc30355272)

[Рис. 1‑3 Функциональное моделирование 6](#_Toc30355273)

[Рис. 1‑4 Назначение выводов в приложении Pin Planner 6](#_Toc30355274)

[Рис. 2‑1 Схема проекта 7](#_Toc30355275)

[Рис. 2‑2 Результат моделирования RTL-Viewer 8](#_Toc30355276)

[Рис. 2‑3 Функциональное моделирование 8](#_Toc30355277)

[Рис. 2‑4 Назначение выводов в приложении Pin Planner 8](#_Toc30355278)

[Рис. 3‑1 Схема проекта 10](#_Toc30355279)

[Рис. 3‑2 Результат моделирования RTL-Viewer 10](#_Toc30355280)

[Рис. 3‑3 Функциональное моделирование 10](#_Toc30355281)

[Рис. 3‑4 Назначение выводов в приложении Pin Planner 11](#_Toc30355282)

[Рис. 4‑1 Схема проекта 12](#_Toc30355283)

[Рис. 4‑2 Функциональное моделирование 12](#_Toc30355284)

[Рис. 4‑3 Назначение выводов в приложении Pin Planner 12](#_Toc30355285)

[Рис. 5‑1 Схема проекта 14](#_Toc30355286)

[Рис. 5‑2 Результат синтеза (RTL) 14](#_Toc30355287)

[Рис. 5‑3 Функциональное моделирование 14](#_Toc30355288)

[Рис. 5‑4 Назначение выводов в приложении Pin Planner 14](#_Toc30355289)

# Упражнение 1\_1

## Задание

- На языке Verilog описать представленную ниже схему;

- Посмотреть синтезированную пакетом Q схему (RTL Viewer);

- Осуществить функциональное моделирование (в рамках пакета Q);

- Назначить выводы СБИС;

- Осуществить полную компиляцию, программирование платы и проверить работу проекта на плате.

## Схема проекта

Структура разрабатываемого устройства приведено ниже на Рис. 1‑1.

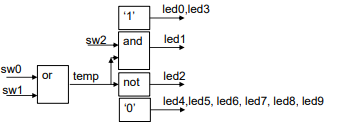


Рис. 1‑1 Структура проекта

## Результат синтеза (RTL)

Результат синтеза в пакете Quartus приведен ниже, на Рис. 1‑2. Изображение схемы получено с помощью приложения RTL Viewer.

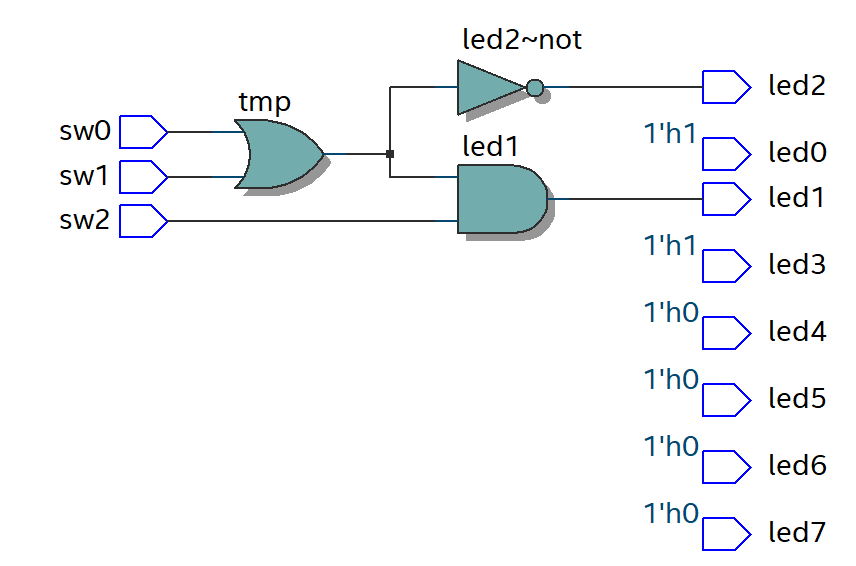


Рис. 1‑2 Схема проекта

## Функциональное моделирование

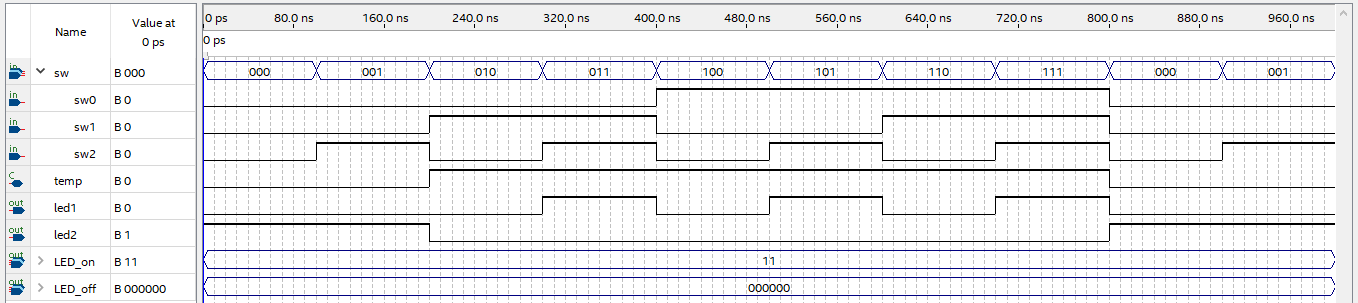


Рис. 1‑3 Функциональное моделирование

## Назначение выводов СБИС

Назначение выводов СБИС и стандартов ввода вывода, выполненное в приложении Pin Planner пакета Quartus, приведено на Рис. 1‑4

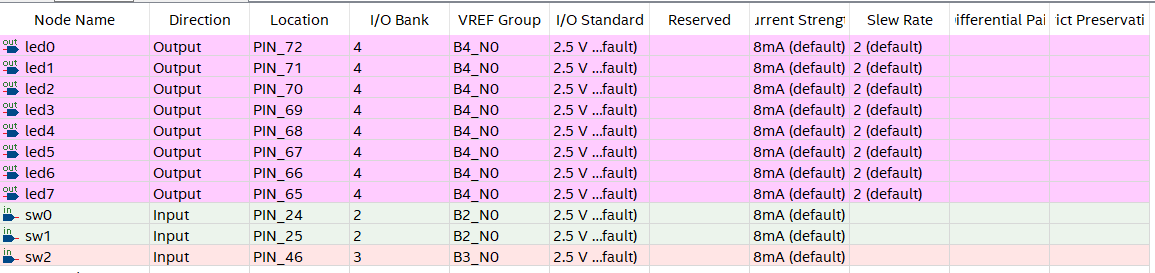


Рис. 1‑4 Назначение выводов в приложении Pin Planner

## Выводы

В упражнении было проведено знакомство с языком Verilog. Описана заданная схема, проведена проверка работоспособности с помощью инструментов пакета Quartus. Моделирование проведено успешно, устройство работает правильно.

# Упражнение 1\_2

## Задание

- На языке Verilog, используя логические выражения, опишите мультиплексор 2(4бит) =>1(4бит):

- Входы данных переключатели sw[7:4] и sw[3:0] соответственно

- Выходы – светодиоды led[3:0]

- Управление переключением – кнопка

= 1: sw[7:4] => led[3:0]

= 0: sw[3:0] => led[3:0]

## Схема проекта



Рис. 2‑1 Схема проекта

## Результат синтеза (RTL)

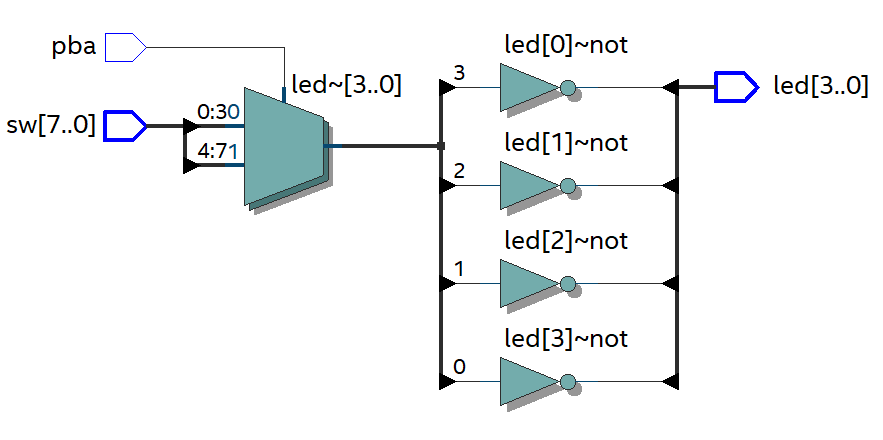


Рис. 2‑2 Результат моделирования RTL-Viewer

## Функциональное моделирование

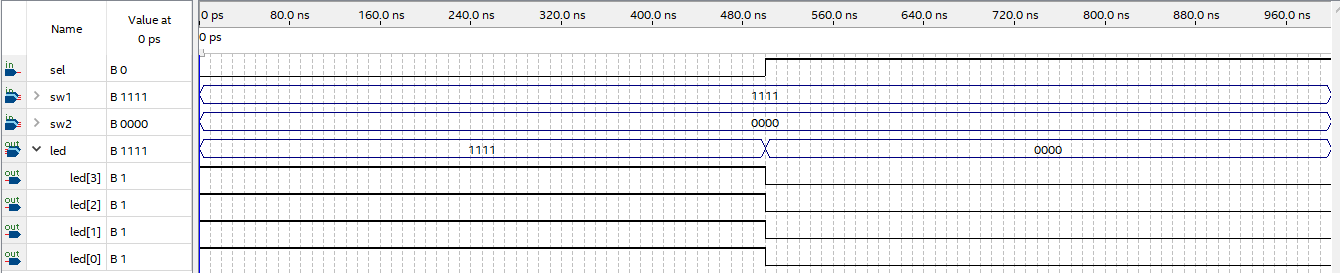


Рис. 2‑3 Функциональное моделирование

## Назначение выводов СБИС

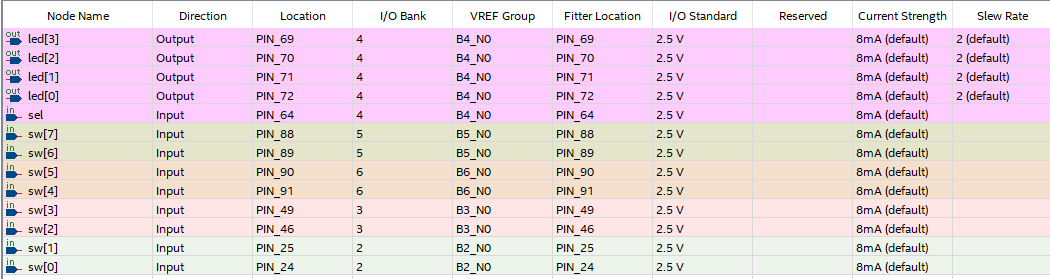


Рис. 2‑4 Назначение выводов в приложении Pin Planner

## Выводы

На языке Verilog с использованием логических выражений описан мультиплексор 2 (4 бит) =>1 (4 бит). Проведена проверка работоспособности с помощью инструментов пакета Quartus. Моделирование проведено успешно, устройство работает правильно.

# Упражнение 1\_3

## Задание

- На языке Verilog, используя логические выражения или оператор условного выбора, опишите устройство выбора максимума из двух 4-х разрядных данных.

- Входы данных переключатели sw[7:4] и sw[3:0].

- Выходы – светодиоды led[3:0]

- Управление переключением – кнопка = 1: sw[7:4] => led[3:0]; = 0: sw[3:0] => led[3:0]

## Схема проекта

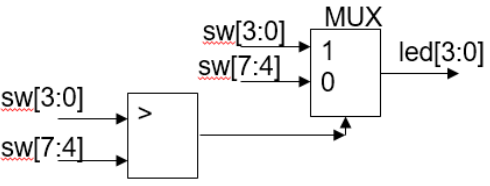


Рис. 3‑1 Схема проекта

## Результат синтеза (RTL)

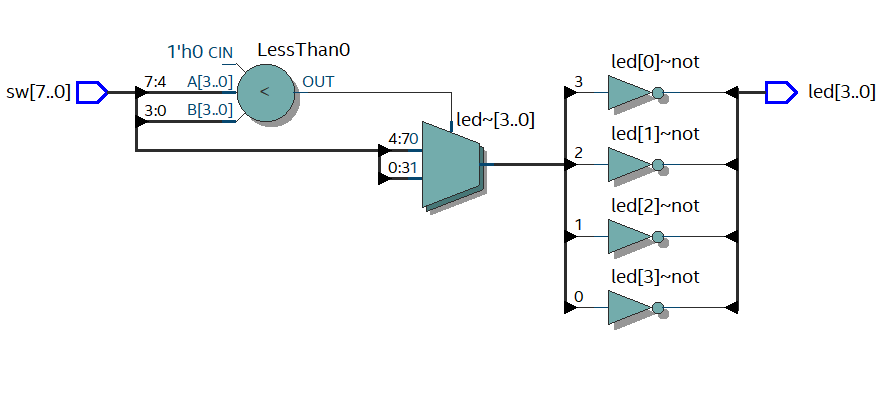


Рис. 3‑2 Результат моделирования RTL-Viewer

## Функциональное моделирование

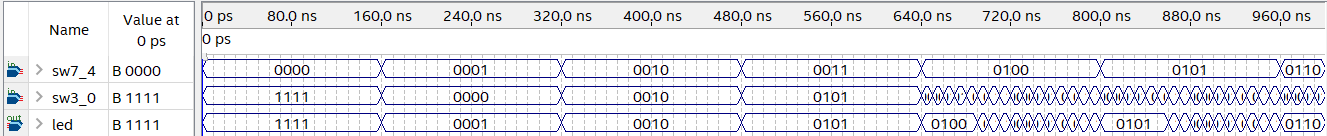


Рис. 3‑3 Функциональное моделирование

## Назначение выводов СБИС

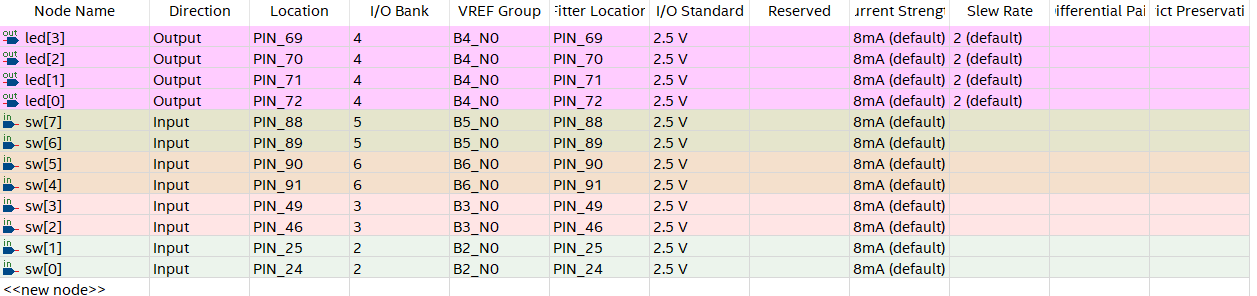


Рис. 3‑4 Назначение выводов в приложении Pin Planner

## Выводы

На языке Verilog описано устройство выбора максимума из двух 4-х разрядных данных. Проведена проверка работоспособности с помощью инструментов пакета Quartus. Моделирование проведено успешно, устройство работает правильно.

# Упражнение 1\_4

## Задание

- На языке Verilog, используя логические выражения, опишите преобразователь двоичного кода в позиционный код (один-из-N).

- Входы двоичных данных переключатели sw[1:0]

- Выходы – светодиоды led[3:0]

## Результат синтеза (RTL)

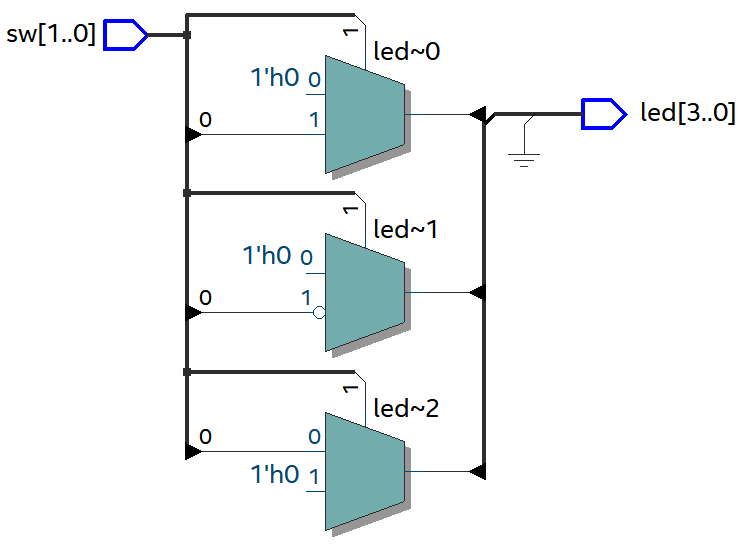


Рис. 4‑1 Схема проекта

## Функциональное моделирование



Рис. 4‑2 Функциональное моделирование

## Назначение выводов СБИС

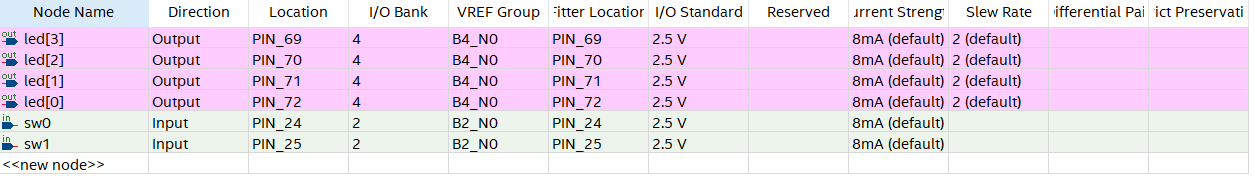


Рис. 4‑3 Назначение выводов в приложении Pin Planner

## Выводы

На языке Verilog описан преобразователь двоичного кода в позиционный код. Проведена проверка работоспособности с помощью инструментов пакета Quartus. Моделирование проведено успешно, устройство работает правильно.

# Упражнение 1\_5

## Задание

- На языке Verilog, используя логические выражения, опишите полный одноразрядный сумматор.

- Входы

- Данных - переключатели sw[1:0]

- Входной перенос – кнопка

- Выходы – светодиоды led[1:0]

## Схема проекта

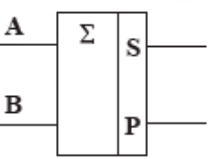


Рис. 5‑1 Схема проекта

## Результаты синтеза

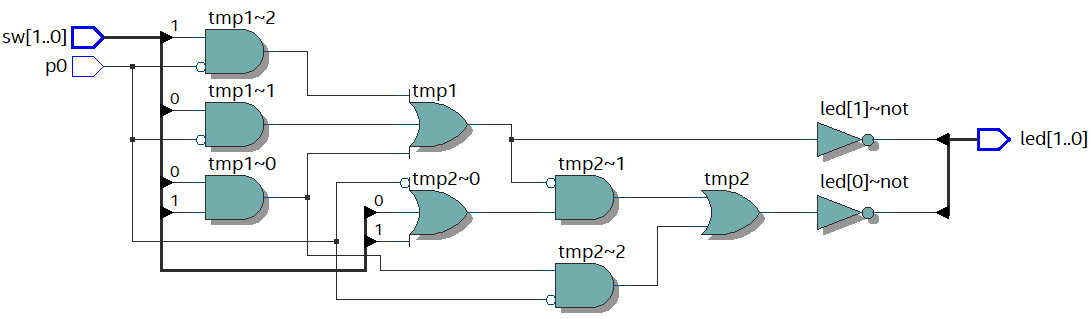


Рис. 5‑2 Результат синтеза (RTL)

## Функциональное моделирование

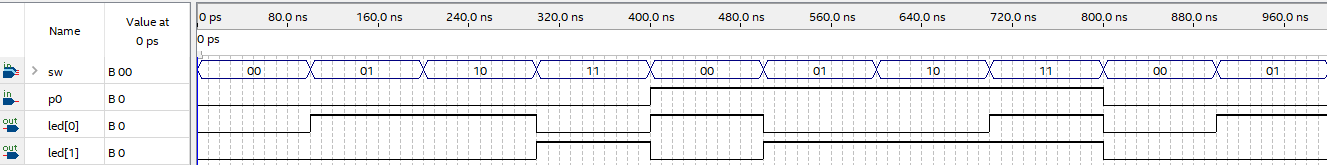


Рис. 5‑3 Функциональное моделирование

## Назначение выводов СБИС

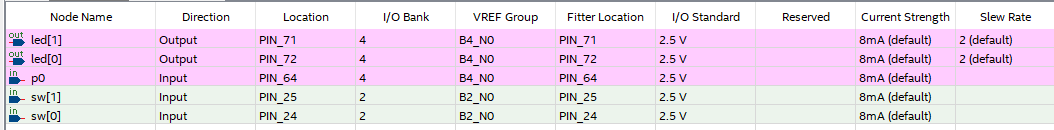


Рис. 5‑4 Назначение выводов в приложении Pin Planner

## Выводы

На языке Verilog описана схема полного одноразрядного сумматора. Проведена проверка работоспособности с помощью инструментов пакета Quartus. Моделирование проведено успешно, устройство работает правильно.